

DIALOG(R) File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

010413510 **Image available**

WPI Acc No: 1995-314824/ 199541

XRAM Acc No: C95-139879

XRPX Acc No: N95-237769

Semiconductor substrate mfr. without crack generation on backside - comprising bonding element substrate with support substrate through insulation film and thin film element substrate after removing insulation film

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7211602	A	19950811	JP 942069	A	19940113	199541 B

Priority Applications (No Type Date): JP 942069 A 19940113

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7211602	A	6		H01L-021/02	

Abstract (Basic): JP 7211602 A

The mfg method consists of several steps. First the element substrate (105) and the support substrate (102) are bonded through an insulation layer (101). The back side insulation layer is removed. Then, the semiconductor substrate is thin film formed.

ADVANTAGE - Prevents generation of crack on backside of substrate.
Improves yield.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-211602

(43)公開日 平成7年(1995)8月11日

(51)Int.Cl.*

H 01 L 21/02
21/20
21/762
'27/12

識別記号 庁内整理番号

B
8418-4M

F I

技術表示箇所

H 01 L 21/ 76

D

審査請求 未請求 請求項の数 7 OL (全 6 頁)

(21)出願番号

特願平6-2069

(22)出願日

平成6年(1994)1月13日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 玄地 裕

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(72)発明者 福元 嘉彦

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

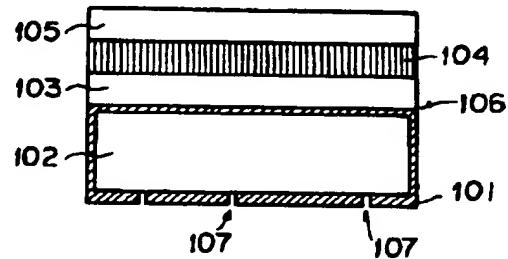
(74)代理人 弁理士 山下 積平

(54)【発明の名称】 半導体基体の製造方法

(57)【要約】

【目的】 支持基体裏面に生じる傷を防止する。

【構成】 半導体基体105の一主面と絶縁層101を有する基体102の一主面とを該絶縁層101を介して貼り合わせる工程と、前記絶縁層101を有する基体102の少なくとも裏面絶縁層を除去する工程と、前記半導体基体105を薄膜化する工程と、を有する。



【特許請求の範囲】

【請求項1】 半導体基体の一主面と絶縁層を有する基体の一主面と該絶縁層を介して貼り合わせる工程と、前記絶縁層を有する基体の少なくとも裏面絶縁層を除去する工程と、前記半導体基体を薄膜化する工程と、を有することを特徴とする半導体基体の製造方法。

【請求項2】 請求項1記載の半導体基体の製造方法において、前記絶縁層を有する基体が半導体基体であることを特徴とする半導体基体の製造方法。

【請求項3】 請求項1記載の半導体基体の製造方法において、前記半導体基体はシリコン基体であることを特徴とする半導体基体の製造方法。

【請求項4】 請求項1記載の半導体基体の製造方法において、前記絶縁層として SiO_2 を用いることを特徴とする半導体基体の製造方法。

【請求項5】 請求項1記載の半導体基体の製造方法において、前記絶縁層として SiN_x を用いることを特徴とする半導体基体の製造方法。

【請求項6】 請求項1記載の半導体基体の製造方法において、前記裏面絶縁層を除去するエッティング液として、該絶縁層のエッティング速度に比べて絶縁層を有する基体の基体本体のエッティング速度が遅い液を用いることを特徴とする半導体基体の製造方法。

【請求項7】 請求項6記載の半導体基体の製造方法において、エッティング液としてHFを含む溶液を用いることを特徴とする半導体基体の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基体の製造方法に関し、更に詳しくは、誘電体分離あるいは、絶縁物上の単結晶半導体層に電子デバイス、集積回路等を作製する場合に適する半導体基体の製造方法に関するものである。

【0002】

【従来の技術】 支持基板上に異種材料の半導体層を形成する方法は盛んに研究されている。たとえば、SOI、多結晶(非晶質) Si/SiO_2 、 GaAs/Si (SiO_2)などである。絶縁物上の単結晶 Si 半導体層の形成は、シリコンオーナーインシュレーター(SOI)技術として広く知られ、通常の Si 集積回路を作製するバルク Si 基板では到達しえない数々の優位点をSOI技術を利用したデバイスが有することから多くの研究が成されてきた。すなわち、SOI技術を利用することで、

1. 誘電体分離が容易で高集積化が可能、
2. 対放射線耐性に優れている、
3. 浮遊容量が低減され高速化が可能、
4. ウエル工程が省略できる、
5. ラッチアップを防止できる、

6. 薄膜化による完全空乏型電界効果トランジスタが可能な、等の優位点が得られる。

【0003】 上記したようなデバイス特性上の多くの利点を実現するために、ここ數十年に渡り、SOI構造の形成方法について研究されてきている。この内容は、例えばSpecial Issue:"Single-crystal silicon on non-single-crystal insulators";edited by G.W.Cullen, Journal of Crystal Growth, volume 63, no 3, pp429~590 (1983) にまとめられている。また、古くは、単結晶サファイア基板上に、 Si をCVD法(化学気相法)で、ヘテロエピタキシーさせて形成するSOS(シリコンオーナーサファイア)が知られており、最も成熟したSOI技術として一応の成功を収めましたが、 Si 層と下地サファイア基板界面の格子不整合により大量の結晶欠陥、サファイア基板からのアルミニウムの Si 層への混入、そして何よりも基板の高価格と大面積化への遅れにより、その応用の広がりが妨げられている。比較的近年には、サファイア基板を使用せずにSOI構造を実現しようという試みが行なわれている。この試みは、次の二つに大別される。

【0004】 (1) Si 単結晶基板を表面酸化後に、窓を開けて Si 基板を部分的に表出させ、その部分をシードとして横方向へエピタキシャル成長させ、 SiO_2 上へ Si 単結晶層を形成する(この場合には、 SiO_2 上に Si 層の堆積をともなう。)。

【0005】 (2) Si 単結晶基板そのものを活性層として使用し、その下部に SiO_2 を形成する(この方法は、 Si 層の堆積をともなわない。)。

【0006】 上記(1)を実現する手段として、CVD法により、直接、単結晶層 Si を横方向エピタキシャル成長させる方法、非晶質 Si を堆積して、熱処理により固相横方向エピタキシャル成長させる方法、非晶質あるいは、多結晶 Si 層に電子線、レーザー光等のエネルギーbeamを収束して照射し、溶融再結晶により単結晶層を SiO_2 上に成長させる方法、そして、棒状ヒーターにより帯状に溶融領域を走査する方法(Zone Melting Recrystallization)が知られている。これらの方にはそれぞれ一長一短があるが、その制御性、生産性、均一性、品質に多大の問題を残しており、いまだに、工業的に実用化したものはない。たとえば、CVD法は平坦薄膜化するには、犠牲酸化が必要となり、固相成長法ではその結晶性が悪い。また、ビームアニール法では、収束ビーム走査による処理時間と、ビームの重なり具合、焦点調整などの制御性に問題がある。このうち、Zone Melting Recrystallization法がもっとも成熟しており、比較的大規模な集積回路も試作されてはいるが、依然として、亞粒界等の結晶欠陥は、多数残留しており、少数キャリヤーデバイスを作成するにいたっていない。

【0007】 上記(2)の方法である Si 基板をエピタ

キシャル成長の種子として用いない方法に於ては、次の3種類の方法が挙げられる。

【0008】① V型の溝が表面に異方性エッチングされたS1単結晶基板に酸化膜を形成し、該酸化膜上に多結晶S1層をS1基板と同じ程厚く堆積した後、S1基板の裏面から研磨によって、厚い多結晶S1層上にV溝に囲まれて誘電分離されたS1単結晶領域を形成する方法である。しかしながら、この手法に於ては、結晶性は、良好であるが、多結晶S1を数百ミクロンも厚く堆積する工程、及び単結晶S1基板を裏面より研磨して分離したS1活性層のみを残す工程に、制御性と生産性の点から問題がある。

【0009】② サイモックス (SIMOX : Separation by ion implanted oxygen) と称されるS1単結晶基板中に酸素のイオン注入によりS1O_x層を形成する方法であり、ドーププロセスと整合性が良いため現在もっとも成熟した手法である。しかしながら、S1O_x層を形成をするためには、酸素イオンを10¹¹ ions/cm²以上も注入する必要があるが、その注入時間は長大であり、生産性は高いとはいはず、また、ウエハコストは高い。更に、結晶欠陥は多く残存し、工業的に見て、少數キャリヤーデバイスを作製できる充分な品質に至っていない。

【0010】③ 多孔質S1の酸化による誘電体分離によりSOI構造を形成する方法である。この方法は、P型S1単結晶基板表面にN型S1層をプロトンイオン注入（マイマイ他、J. Crystal Growth, vol 63, 547(1983)）、もしくは、エピタキシャル成長とバーニングによって島状に形成し、表面よりS1島を囲むようにHF溶液中の陽極化成法によりP型S1基板のみを多孔質化したのち、増速酸化によりN型S1島を誘電体分離する方法である。本方法では、分離されているS1領域は、デバイス工程のまえに決定されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【0011】一方、近年、結晶性の良い単結晶層をあらかじめ作製しておき、あるいは単結晶基板をそのまま用意しておき、それを別の支持基体に貼り合わせる方法が盛んに行われている。

【0012】この方法により他の方法では結晶性の良い半導体層を形成することが不可能であった半導体基板を作製することができた。

【0013】上記した貼り合わせ法では、デバイスのための活性層を均一に薄膜化する必要がある。すなわち、数百ミクロンもの厚さのS1単結晶基板をミクロンオーダーかそれ以下に薄膜化する必要がある。この薄膜化には以下のように2種類の方法がある。

【0014】(1) 研磨による薄膜化
(2) 選択エッチングによる薄膜化

(1) の研磨では均一に薄膜化することが困難である。

特にサブミクロンの薄膜化は、ばらつきが数十%にもな

ってしまい、この均一化は大きな問題となっている。さらにウエハの大口径化が進めばその困難度は増すばかりである。

【0015】また、(2)のエッチングは均一な薄膜化に有効とされており、その第1ウエハ（デバイスウエハ）の層構成、エッチングの方法により、Single Etch Stop法とDouble Etch Stop法とに分類できる。Single Etch Stopはデバイスウエハがデバイス層／基板で構成されており、デバイス層をエッチストップ層として基板を選択的にエッチングする方法で構成は単純であるが選択比がせいぜい10:1と十分でない。また、Double Etch Stopはデバイス層／エッチストップ層／基板で構成されており、エッチストップ層まで基板を選択エッチングし、続いてエッチストップ層を選択エッチングする。この方法は2回の選択エッチングで選択比を向上させていくが、多層構造の形成にイオン注入、高濃度BドープS1層上のエピタキシャル成長あるいはヘテロエピタキシャル成長を用いているためSOI層の結晶性が悪い等の問題点がある (C.Harendt, et.al., J.Elect.Mater.Vol.20, 267(1991)、H.Baumgart, et.al., Extended Abstract of ECS 1st International Symposium of Wafer Bonding, pp-733(1991)、C.E.Hunt, Extended Abstract of ECS 1st International Symposium of Wafer Bonding, pp-696(1991))。さらに、通常はデバイス層と基板は同材料で構成されているため、1回目と2回目の選択エッチングは材料構成は同一で選択比の逆転するエッチング液を用いなければならない。1回目の選択比はそれほど高くなく、また、エッチストップ層もその形成方法がイオン注入・ヘテロエピタキシャルのため1μm以上にはできない。したがって、ウエハが大口径化するほど困難になってデバイス層がエッチング液で浸食され、歩留まりの低下にもなる。

【0016】

【発明が解決しようとする課題】上記のような選択エッチングによる薄膜均一化の手法をとる場合、裏面の絶縁層の小さなクラック、傷の影響を無視することが出来ない。選択エッチングの際、エッチング液がこの傷より侵食し、裏面に大きな傷が入るからである。この傷は、真空吸着による搬送、更には裏面にバターンをきざむ必要がある場合には、搬送不可能、バターン異常といった不具合を起こし、極端な歩留まりの低下につながる。

【0017】この問題は、単結晶シリコンよりも裏面絶縁膜のエッチングレートが遅いエッチング液を用いることで解決できる。しかし、このエッチングが裏面絶縁膜ではなくシリコンをエッチングし、均一な単結晶シリコン薄膜層を形成することが目的であるため、そのようなシリコンのエッチング速度が非常に遅いエッチング液を用いることはエッチング時間が非常に長くなるため適当ではない。

【0018】また、裏面に傷を入れないように細心の注

意をしたとしても、ウエハのハンドリング時に裏面を真空チャックする方法をとるため、細かい傷が入ることを避けるのは困難である。

【0019】さらに、支持基体の絶縁膜を厚くし、裏面の絶縁膜のすべてがエッティングされないようにしても傷の部分からエッティング液が染み込むために裏面傷に対しての防止効果は小さかった。

【0020】本発明の目的は、経済性に優れて、大面積に渡り均一平坦な、極めて優れた結晶性を有する単結晶基体を用いて、表面に半導体活性層を残して、その片面から該活性層までを除去して、別の基体上に欠陥の著しく少ない半導体単結晶層を得る基体作製時に、支持基体裏面に生じる傷の発生を防止することにある。

【0021】

【課題を解決するための手段】本発明の半導体基体の製造方法は、半導体基体の一主面と絶縁層を有する基体の一主面とを裏面絶縁層を介して貼り合わせる工程と、前記絶縁層を有する基体の少なくとも裏面絶縁層を除去する工程と、前記半導体基体を薄膜化する工程と、を有することを特徴とする。

【0022】

【作用】本発明は傷の入った裏面絶縁層を除去した後に選択エッティングを行うものであり、傷のない裏面状態でエッティングが全面にわたって均一に進行するため、支持基体裏面に生じる傷を防止することが可能となる。

【0023】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

(実施例1) 図1～図4は、本発明の第1実施例を表す図面である。図1は支持基板102と素子基板105が貼り合った状態である。シリコン酸化膜101が形成されているウエハ(支持基板)102と特開平5-2133号公報(米原)に示される手法によって作成した多孔質シリコン層104、シリコンエピタキシャル成長層103を有する素子基板105とが貼り合っている。シリコン酸化膜101の厚さは望ましくは1μm程度である。この状態で、支持基板裏面のシリコン酸化膜層101をバッファードフッ酸溶液(NH₄HF₂:12.8%水溶液)でエッティング除去する(図2)。その後、SiO₂薄膜上に単結晶シリコン層103を残すために、素子基板105をフッ硝酸酢酸混合エッティング液(重量比HF:HNO₃:CH₃COOH=1:10:10)により多孔質シリコン層104が表出するまで素子基板105の薄膜化を行う(図3)。この時に、エッティングを行う前に機械的に素子基板105を削り(バックグラインド)ある程度の薄膜化を行っておいても良い。その後、フッ酸過酸化水素水混合エッティング液(重量比HF:H₂O₂=1:5)により多孔質シリコン層104を選択的にエッティングする。このフッ酸過酸化水素水混合エッティング液はシリコンに比べ、多孔質シリコンのエッティング速度が10万～100万倍速いため多孔質シリコン層104のみを選択的に除去することが可能である。

【0027】このようにして、SiNx301上に結晶

ッティング速度が10万～100万倍速いため多孔質シリコン層104のみを選択的に除去することが可能である。

【0024】このようにして、シリコン酸化膜101上に結晶性がシリコンウエハと同等な単結晶シリコン層103が平坦に、しかもウエハ全域にわたって、均一に薄膜化されて、しかも裏面の傷なく得られた(図4)。

【0025】ここで、本発明の理解の容易化のため従来のエッティング方法を用いた場合について述べる。

【0026】図5～図8は従来のエッティング方法による製造工程を示す断面図である。従来は最初に、裏面酸化膜を除去しなかったために、SiO₂とシリコンの選択比がないフッ硝酸酢酸混合エッティング液により、図5に示す裏面シリコン酸化膜上の傷107が図6に示すようにシリコンに転写、強調され、出来上がりウエハの裏面に深さ数μmになる裏面傷108が生じた(図7、図8)。しかしながら、本発明により、傷の入った裏面酸化膜101を除去することによって、シリコンが表出した均一な裏面状態となり、エッティングが均一に進行するようになったため、傷が転写、強調されることはなくなった。本発明は、裏面傷のないウエハを作成するために非常に有効であった。

(実施例2) 図9～図12は、本発明の第2実施例を表す図面である。図9は支持基板102と素子基板105が貼り合った状態である。SiNx薄膜301が形成されているウエハ(支持基板)102と特開平5-2133号公報(米原)に示される手法によって作成した多孔質シリコン層104、シリコンエピタキシャル成長層103を有する素子基板105とが貼り合っている。なお貼り合わせ工程前にシリコンエピタキシャル成長層103の表面に数百nmの厚さのシリコン酸化層を形成しても良い。SiNx層は望ましくは数百nm程度である。この状態で、支持基板102裏面のSiNx層301を140度程度に熱した磷酸溶液(HPO₄ 85%)でエッティング除去する(図10)。その後、SiNx薄膜301上に単結晶シリコン層103を残すために、素子基板105をフッ硝酸酢酸混合エッティング液(重量比HF:HNO₃:CH₃COOH=1:10:10)により多孔質シリコン層104が表出するまで素子基板105の薄膜化を行う(図11)。この時に、エッティングを行う前に機械的に素子基板105を削り(バックグラインド)ある程度の薄膜化を行っておいても良い。その後、フッ酸過酸化水素水混合エッティング液(重量比HF:H₂O₂=1:5)により多孔質シリコン層104を選択的にエッティングする。このフッ酸過酸化水素水混合エッティング液はシリコンに比べ、多孔質シリコンのエッティング速度が10万～100万倍速いため多孔質シリコン層104のみを選択的に除去することが可能である。

性がシリコンウエハと同等な単結晶シリコン層103が平坦に、しかもウエハ全域にわたって、均一に薄層化されて、しかも裏面の傷なく得られた(図12)。

【0028】従来は最初に、裏面酸化膜を除去しなかつたために、シリコンのエッティング液であるフッ硝酸酢酸混合液により、裏面シリコン酸化膜上の傷がシリコンに転写、強調され、出来上がりウエハの裏面に深さ数 μm になる裏面傷が生じた。しかしながら、本発明により、傷の入ったSiN_x膜を除去することによって、シリコンが表出した均一な裏面状態となり、エッティングが均一に進行するようになったため、傷が転写、強調されることはなくなった。本発明は、裏面傷のないウエハを作成するために非常に有効であった。

(実施例3) 本実施例は第1実施例におけるシリコン酸化膜104のエッティング方法をドライエッティングに変えたものである。なお、各製造工程における各構成部材は第1実施例と同じなので、図1～図4を用いて本実施例の製造工程について説明する。

【0029】図1は支持基板102と素子基板105が貼り合った状態である。シリコン酸化膜101が形成されているウエハ(支持基板)102と特開平5-21338号公報(米原)に示される手法によって作成した多孔質シリコン層104、シリコンエピタキシャル成長層103を有する素子基板105とが貼り合っている。シリコン酸化膜101の厚さは望ましくは1 μm 程度である。この状態で、支持基板裏面のシリコン酸化膜層101をプラズマ効率気中でドライエッティング(C₂F₆ 0 sccm, CHF₃ 20 sccm, 圧力7.0～8.0Pa, RF power 2.1kW)により除去する(図2)。その後、SiO₂薄膜上に単結晶シリコン層103を残すために、素子基板105をフッ硝酸酢酸混合エッティング液(重量比HF:HNO₃:CH₃COOH=1:10:1)により多孔質シリコン層104が表面するまで素子基板105の薄膜化を行う(図3)。この時に、エッティングを行う前に機械的に素子基板105を削り(バックグラインド)ある程度の薄膜化を行っておいても良い。その後、フッ酸過酸化水素水混合エッティング液(重量比HF:H₂O₂=1:5)により多孔質シリコン層104を選択的にエッティングする。このフッ酸過酸化水素水混合エッティング液はシリコンに比べ、多孔質シリコンのエッティング速度が10万～100万倍速いため多孔質シリコン層104のみを選択的に除去することが可能である。

【0030】このようにして、シリコン酸化膜101上に結晶性がシリコンウエハと同等な単結晶シリコン層103が平坦に、しかもウエハ全域にわたって、均一に薄層化されて、しかも裏面の傷なく得られた(図4)。

【0031】本発明により、実施例1と同様に傷の入った裏面酸化膜101を除去することによって、シリコンが表出した均一な裏面状態となり、エッティングが均一に

10

20

30

40

40

50

進行するようになったため、傷が転写、強調されることになった。本発明は、裏面傷のないウエハを作成するために非常に有効であった。

【0032】

【発明の効果】以上詳細に説明したように、本発明によれば傷の入った裏面絶縁層を除去した後に選択エッティングを行うことにより、傷のない裏面状態でエッティングが全面にわたって均一に進行するため、支持基体裏面に生じる傷を防止することが可能となる。裏面の傷は、真空吸着による搬送、更には裏面にパターンをきざむ必要がある場合には、搬送不可能、パターン異常といった不具合を起こし、極端な歩留りの低下につながっていたが、本発明によれば、裏面傷発生が抑制されたため歩留まりを飛躍的に向上させることができる。

【図面の簡単な説明】

【図1】本発明の半導体基体の製造方法の第1及び第3実施例の製造工程を表す断面図である。

【図2】本発明の半導体基体の製造方法の第1及び第3実施例の製造工程を表す断面図である。

【図3】本発明の半導体基体の製造方法の第1及び第3実施例の製造工程を表す断面図である。

【図4】本発明の半導体基体の製造方法の第1及び第3実施例の製造工程を表す断面図である。

【図5】従来の半導体基体の製造方法の製造工程を表す断面図である。

【図6】従来の半導体基体の製造方法の製造工程を表す断面図である。

【図7】従来の半導体基体の製造方法の製造工程を表す断面図である。

【図8】従来の半導体基体の製造方法により生じた裏面の傷の状態を表すための平面図である。

【図9】本発明の半導体基体の製造方法の第2実施例の製造工程を表す断面図である。

【図10】本発明の半導体基体の製造方法の第2実施例の製造工程を表す断面図である。

【図11】本発明の半導体基体の製造方法の第2実施例の製造工程を表す断面図である。

【図12】本発明の半導体基体の製造方法の第2実施例の製造工程を表す断面図である。

【符号の説明】

101 シリコン酸化膜

102 支持基体(シリコン)

103 シリコンエピタキシャル成長層

104 多孔質シリコン層

105 素子基板(シリコン)

106 貼り合わせ界面

107 裏面シリコン酸化膜傷

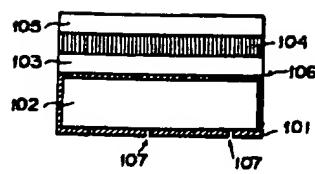
108 裏面シリコン傷

301 SiN_x膜

(6)

特開平7-211602

【図1】



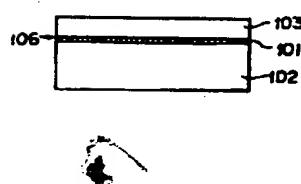
【図2】



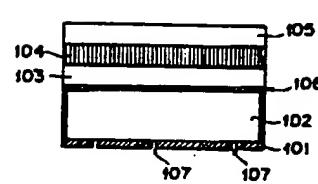
【図3】



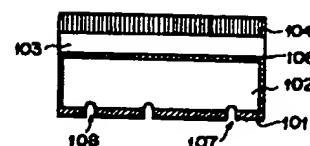
【図4】



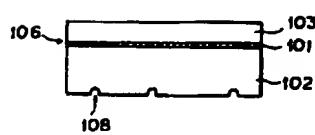
【図5】



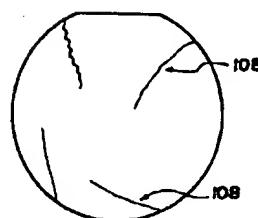
【図6】



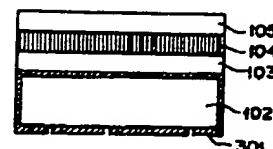
【図7】



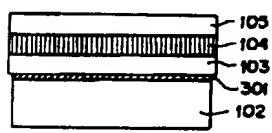
【図8】



【図9】



【図10】



【図11】



【図12】

